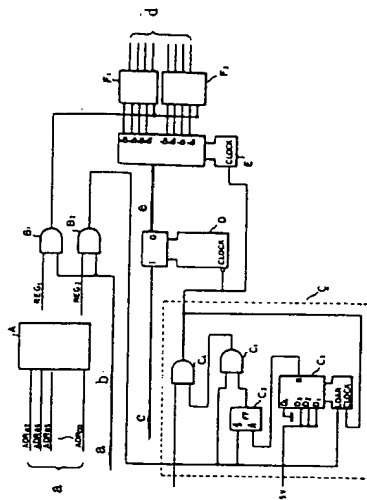


**(54) CRC CIRCUIT**

(11) 55-72246 (A) (43) 30.5.1980 (19) JP  
 (21) Appl. No. 53-145136 (22) 24.11.1978  
 (71) TOKYO SHIBAURA DENKI K.K. (72) RIYOUZOU MAENO  
 (51) Int. Cl.<sup>3</sup>. G06F5/04

**PURPOSE:** To enable small-scale hardware and firmware to generate a read trigger leading the read timing for CRC characters when a multi-item generator is used which receives a serial input and generates a serial output.

**CONSTITUTION:** Address ADR from processor unit PU is decoded and 1st register REG<sub>2</sub> is selected; and a CRC trigger signal is generated by the output of REG<sub>2</sub> and a read pulse from PU to trigger clock generating circuit C for series-parallel conversion, thereby generating a clock signal for series-parallel conversion. On the basis of this clock signal for series-parallel conversion, a multi-item generator output CRC characters, bit by bit, and CRC characters outputted by the generator are converted into parallel data on the basis of the clock signal for S-P conversion. Consequently, REG<sub>2</sub> is selected to read parallel-converted CRC characters.



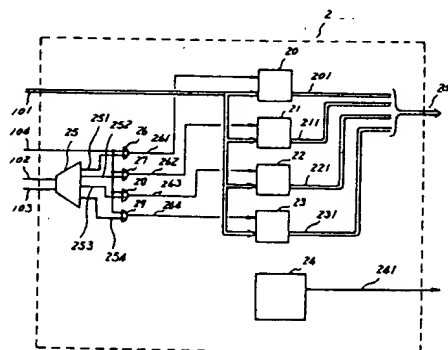
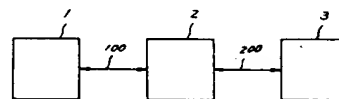
A: address decoder, F<sub>1</sub> & F<sub>2</sub>: gate, a: from PU, b: read pulse, c: CRC data input, d: to PU, e: CRC character output

**(54) DATA PROCESSOR**

(11) 55-72247 (A) (43) 30.5.1980 (19) JP  
 (21) Appl. No. 53-146198 (22) 27.11.1978  
 (71) NIPPON DENKI K.K. (72) AKITO OOTAKE  
 (51) Int. Cl.<sup>3</sup>. G06F5/06, G06F13/00

**PURPOSE:** To improve the efficiency of information transfer from a 1st processor to 3rd one by allowing a 2nd processor interposing between the both to extend M-bits information from the 1st processor to N bits.

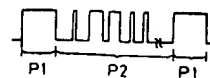
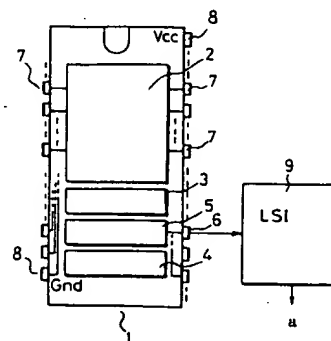
**CONSTITUTION:** When data are transferred from CPU1 to main memory 3 through buffer memory 2, information transfer width for single interchange between CPU1 and buffer memory 2 is different from that between buffer memory 2 and main memory 3. In general, when the former is of four bytes, the latter is of sixteen bytes. When simultaneous write indication signal 104 of sixteen bytes is high, outputs of 1st to 4th OR circuits 26~29 are high regardless of whether outputs 251~254 of decoder 25 are high or low, and write data from CPU1 are write in 1st to 4th registers 20~23 at the same time. When signal 104 is low, four bytes of write data 101 are written only in a register, where decoder outputs are high, e.g. register 20.

**(54) FUNCTION DISCRIMINATION SYSTEM FOR LSI**

(11) 55-72248 (A) (43) 30.5.1980 (19) JP  
 (21) Appl. No. 53-144866 (22) 22.11.1978  
 (71) USAC DENSHI KOGYO K.K. (72) HIROAKI TAKADA  
 (51) Int. Cl.<sup>3</sup>. G06F7/00, G01R31/26, G11C5/00, H01L23/32

**PURPOSE:** To decode a function signal by a LSI function discriminator from the terminal of LSI, by obtaining the function signal, specified by a function incorporated in LSI, from a discrimination information memory unit, pulse converter, oscillator, etc.

**CONSTITUTION:** A fixed voltage is applied between power terminals 8 and 8a. At this time, oscillator 4 generates periodic pulses, which are supplied to pulse converter 5. Discrimination information memory unit 3, on the other hand, supplies pulse converter 5 continuously with discrimination information on a function equivalent to that of the logic circuit of LSI1. Synchronizing with periodic pulses from oscillator 4, pulse converter 5 provides series-parallel conversion of discrimination information and then transfers pulse signals P1 and P2 to dedicated terminal 6 in series. Pulse signals arriving at dedicated terminal 6 are supplied to function discriminator 9 for LSI. Function discriminator 9 decodes discrimination information pulse-string signal P2 and displays it.



2: logic circuit, a: to in-use unit

**THIS PAGE BLANK (USPTO)**

## ⑫ 公開特許公報 (A)

昭55—72248

⑬ Int. Cl.<sup>3</sup>

G 06 F 7/00

G 01 R 31/26

G 11 C 5/00

H 01 L 23/32

識別記号

庁内整理番号

7257—5B

7807—2G

6913—5B

6851—5F

⑭ 公開 昭和55年(1980)5月30日

発明の数 2

審査請求 未請求

(全 3 頁)

## ⑮ L S I のファンクション識別方式

ヌ98番地の2 ユーザック電子工業株式会社内

⑯ 特 願 昭53—144866

⑰ 出 願 人 ユーザック電子工業株式会社

⑱ 出 願 昭53(1978)11月22日

石川県河北郡宇ノ気町宇野気

⑲ 発 明 者 高田裕昭

ヌ98番地—2

石川県河北郡宇ノ気町宇野気

## 明 細 書

## / 発明の名称

L S I のファンクション識別方式

## 2 特許請求の範囲

1) L S I 内蔵のファンクションに特定されたファンクション信号を L S I の端子から受ける識別装置は、前記ファンクション信号を解説して、L S I の識別又は実装のための識別情報を生成することを特徴とした L S I のファンクション識別方式。

2) ファンクション信号は内蔵ファンクション自体の動作に関係する全ての信号とは独立した論理レベル信号又はアナログ信号である特許請求の範囲第1項記載の L S I のファンクション識別方式。

3) 特許請求の範囲第1項において、ファンクション信号送出端子は電源端子と併用したことを特徴とする L S I のファンクション識別方式。

4) L S I の電源端子に接続される L S I の内蔵回路が L S I のファンクションを作動状態と

する所定電圧と異なる電圧でファンクション信号を生成する回路を具備した特許請求の範囲第3項記載の L S I のファンクション識別方式。

5) ファンクション信号は所定パルス巾のスタートパルスと所定パルスパターンパルスのパルス列信号である特許請求の範囲第3項記載の L S I のファンクション識別方式。

6) 所定パルス巾のスタートパルスと所定パルスパターンパルスのパルス列信号の夫々が複数組合せてファンクション信号を拡大利用出来るようにした特許請求の範囲第5項記載の L S I のファンクション識別方式。

## 3 発明の詳細な説明

本発明は大規模集積回路（以下大規模集積回路をLSIと称する。）に実装された内部論理回路のファンクションをLSIの端子と接続させた識別装置で識別する方式に関する。

LSIは1,000ゲートから10,000ゲート位までの規模であつて、マイクロプロセッサから大容量メモリ、各種論理回路など多岐に及んでいる。そしてこれらLSIの夫々を区別するには第1図に示されるように頂部にLSIのファンクションを示すマーキング2を密記して、このマーキング2を使用者が逐次目視で識別していた。しかし、上記のようにマーキング2の目視による識別は次のような理由で改善の余地があつた。すなわち、前記ファンクションを作成するLSIの製造工程とマーキングを施す工程とは通常別工程であつて、ファンクションに対応させた正しいマーキング付与のため、工程間の調整が必要である。また、マーキングを正しく付与したとしても使用者がマーキングを誤識別してプリント板等、

3

れをパルス変換器5に与える。一方、識別情報記憶器3はLSIの論理回路の機能に対応するファンクションを意味する識別情報をパルス変換器5に連続的に与える。パルス変換器5は発振器4からの周期的パルスに同期させて前記識別情報を並列直列変換して前記専用端子6にパルス信号をシリアル伝送する。専用端子6のパルス信号はLSIのファンクション識別装置9に与えられる。専用端子6からのパルス信号は第3図に示されるすなわち、パルス波形成P1はスタートパルスで、パルス波形成P2は同期化された識別情報のパルス列でありこれらの伝送するパルス信号がサイクリックに出力される。前記ファンクション識別装置9はスタートパルスP1間の識別情報パルス列信号を解説して、この識別結果を必要とする利用装置、例えばファンクション表示装置等へ信号を送出する。以上に説明したものは専用端子を付加するのみでマーキングに代えることが出来るが、LSIは端子数を必要最小限にとどめて、プリント板のネットワークの単純化、LSI端子とプリン

5

被実装体へ接続してしまうことが危惧される。

本発明は上述の点に鑑み、これらの問題点を解消するために提出されたものであり、その目的とするところはLSIの使用者がLSIに内蔵されたファンクションを正しく識別し、被実装体への誤接続を防止出来るようにしたLSIのファンクション識別方式を提供することである。従つて本発明はLSI内蔵のファンクションに特定されたファンクション信号をLSIの端子から受ける識別装置が前記ファンクション信号を解説して、LSIの識別又は実装のための識別情報を生成する。

以下、本発明の実施例を示す図面に基き詳細に説明する。第2図において、1はLSI、2は論理回路、3は識別情報記憶器、4は発振器、5はパルス変換器、6は識別情報を出力する専用端子、7は前記論理回路2の入出力信号用の端子、8、8'は電源端子、9はLSIファンクション識別装置である。以上の様な構成において、いま、電源端子8、8'に所定電圧が印加されるとする。このとき発振器4は周期的パルスを発生して、こ

4

ト板のスルーホールとの接続点最小化が信頼性の観点から望ましいので、これらの要求によつて電源端子で専用端子を併用させたものが第4図に示される。第4図において第2図と同符号のものは同一のものであり、10は電圧弁別器、11は第1のゲート、12は第2のゲート、13は自己表示機能回路、14は基準電圧である。基準電圧の端子電圧E2は論理回路に供給される定格電圧E1よりも大きく、自己表示機能回路13を動作させる定格電圧よりも小さく設定される。以上の様な構成において、いま、電源電圧E3を電源端子8、8'間にE3>E2となる値で印加する。この時、電圧弁別器10の出力は前記第1のゲート11を閉じ、前記第2のゲート12を開くように応答する。自己表示機能回路13の出力は前記第2のゲート12を通じて電源端子8へ第5図に示される様な電圧変化を伴つたスタートパルスP1と、同期化された識別情報のパルス列信号P2が与えられる。次に、電源電圧E3を電源端子8、8'間にE1≤E3<E2となる値で印加する。

6

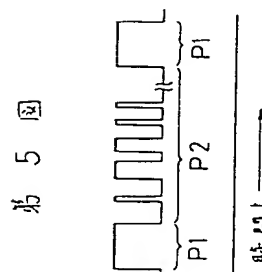
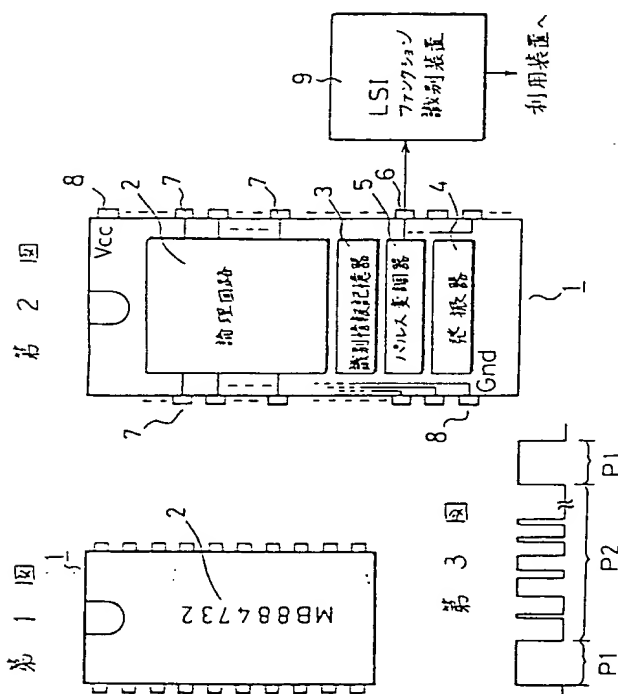
この時、電圧判別器10の出力は前記第2のゲート12を開じ、第1のゲート11を開くように制御する。このため前記端子8, 8'間に印加された電圧E3は前記回路2に供給される。一方、自己表示機能回路13からのパルス信号は出力されるが第2のゲート12で阻止され、前記電源端子8, 8'間に送出されない。

電源端子8, 8'から自己表示機能回路13の出力信号を送出する場合は第5図で示されるような電流変化を併せたパルス列信号に限らず、アナログ信号であつても本発明に適用可能である。また、自己表示機能回路からのファンクション信号は所定パルス列のスタートパルスと所定パルスパターンのパルス列信号の夫々の認識種別組合せでファンクション信号を拡大利用出来るようにすることも可能である。更に、LSIに供給される電源電圧が正の電圧でなく負の電圧であつても、電源電圧、基準電圧、前記回路の定電圧の大小関係を逆に設定して本発明を実施出来ることはいふまでもない。

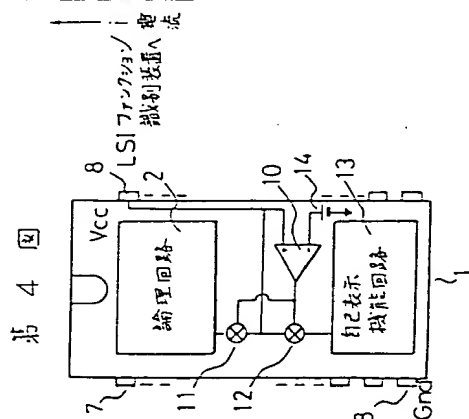
以上に説明したように本発明のLSIファンクション識別方式によれば、LSIの識別回路すなわちLSI内蔵のファンクションに特定されたファンクション信号を、識別情報記憶器、パルス変換器、発振器などからか、自己表示機能回路から得られるようにし、当該ファンクション信号をLSIの端子からLSIファンクション識別装置に送出し、これを解読してLSIの識別又は実装のための識別情報を生成するようにしたから、マーキングを付与する従来の方式より格段の作業簡便が得られると共に、使用者において識別のミスによる誤選状、実装ミスがほぼ完全に排除されるから、LSIの多品種化に対応した使用環境が得られる。

#### 4 図面の簡単な説明

第1図は従来のLSIのマーキングを示した外観図。第2, 4図は本発明のファンクション信号を出力するLSIの識別方式を説明するブロック図。第3, 5図は第2, 4図に対応して出力される夫々のファンクション信号のパルス波形図。



第5図



第4図

**THIS PAGE BLANK (USPTO)**